



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07283168 A**(43) Date of publication of application: **27.10.95**

(51) Int. Cl. **H01L 21/28**
H01L 21/324
H01L 21/768
H01L 29/78
H01L 21/336

(21) Application number: **06077246**(71) Applicant: **mitsubishi electric corp**(22) Date of filing: **15.04.94**

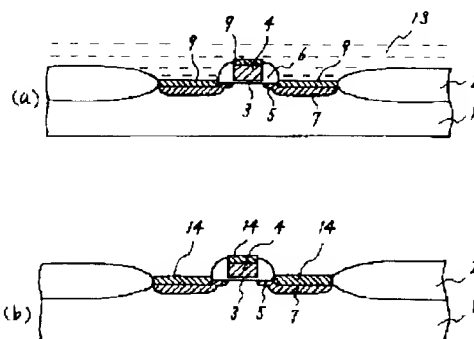
(72) Inventor: **tsutsumi toshiaki**
maekawa kazuyoshi

(54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF**(57) Abstract:**

PURPOSE: To enable a semiconductor device of salicide structure where a junction is protected against damage to be easily manufactured.

CONSTITUTION: In a salicide process in the manufacture of a semiconductor device, a Co-rich metal silicide film 9 is formed on an exposed silicon part through a first thermal treatment after a Co film is formed, then a Co film 9 left unreacted is removed, and a second thermal treatment is carried out in an SiH_4 atmosphere 13 so as to form an Si-rich metal silicide layer 14.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-283168

(43) 公開日 平成7年(1995)10月27日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/28	3 0 1 S			
21/324	Z			
21/768				
			H 0 1 L 21/ 90	D
			29/ 78	3 0 1 P
審査請求 未請求 請求項の数11 O L (全 10 頁) 最終頁に続く				

(21) 出願番号 特願平6-77246

(22) 出願日 平成6年(1994)4月15日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 堤 聡明

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

(72) 発明者 前川 和義

伊丹市瑞原4丁目1番地 三菱電機株式会

社ユー・エル・エス・アイ開発研究所内

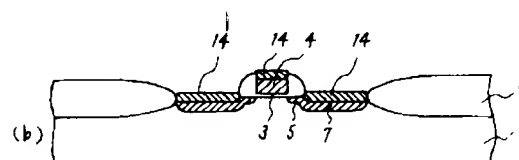
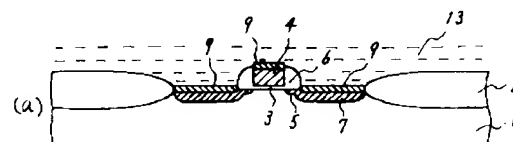
(74) 代理人 弁理士 高田 守

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【目的】 接合破壊が防止されたサリサイド構造の半導体装置を、容易に製造する。

【構成】 半導体装置の製造におけるサリサイド工程において、C膜8形成後、第1の熱処理により、露出したシリコン部分上にCリッチな金属シリサイド膜9を形成し、次いで未反応のC膜9を除去した後、SiH₄雰囲気13で第2の熱処理を施してSiリッチな金属シリサイド層14を形成する。



- 1: 半導体基板
- 2: 素子分離用シリコン酸化膜
- 3: ゲート酸化膜
- 4: ゲート電極
- 5: LDD領域
- 6: サイドウォール
- 7: ソース・ドレイン領域
- 9: 金属シリサイド膜
- 13: SiH₄雰囲気
- 14: 金属シリサイド層

【特許請求の範囲】

【請求項1】 半導体基板上に選択的に形成された絶縁膜から露出したシリコン部分上に自己整合的に金属シリサイド層を形成して成る半導体装置の製造方法において、上記露出したシリコン部分を含む半導体基板上の全面に金属膜を堆積する工程と、次いで第1の熱処理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイド膜を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いでシラン系ガス雰囲気において第2の熱処理を行い、上記金属リッチな金属シリサイド膜をシリコンリッチな金属シリサイド層に変成させる工程とを含むことを特徴とする半導体装置の製造方法

【請求項2】 第2の熱処理を、第1の熱処理よりも高い温度で、かつ半導体基板に形成された絶縁膜上にポリシリコン膜が形成されない温度で行うことを特徴とする請求項1記載の半導体装置の製造方法

【請求項3】 第2の熱処理を、シラン系ガス雰囲気に塩素を含むガスを導入して行うことを特徴とする請求項1または請求項2記載の半導体装置の製造方法

【請求項4】 第2の熱処理の後、更に第3の熱処理を、第2の熱処理よりも高温で短時間行い、金属シリサイド層を更に低抵抗化させることを特徴とする請求項1ないし請求項3のいずれかに記載の半導体装置の製造方法

【請求項5】 半導体基板上に選択的に形成された絶縁膜から露出したシリコン部分上に自己整合的に金属シリサイド層を形成して成る半導体装置の製造方法において、上記露出したシリコン部分を含む半導体基板上の全面に金属膜を堆積する工程と、次いで第1の熱処理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイド膜を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いで全面に上記金属膜とは異なる種類の金属によるシリコンリッチな第2の金属シリサイド膜を形成する工程と、次いで第2の熱処理を行い上記金属リッチな金属シリサイド膜をシリコンリッチな金属シリサイド層に変成させる工程と、次いで不要な第2の金属シリサイド膜を除去する工程とを含むことを特徴とする半導体装置の製造方法

【請求項6】 第2の熱処理後、第2の金属シリサイド膜をパターンニングして金属シリサイド配線層を形成する工程を含むことを特徴とする請求項5記載の半導体装置の製造方法

【請求項7】 半導体基板上に、素子分離用絶縁膜、ゲート酸化膜、ゲート電極、LDD領域、絶縁膜サイドウォールおよびソース・ドレイン領域を順次形成する工程と、その後上記ソース・ドレイン領域上または、上記ソース・ドレイン領域上とゲート電極上とに自己整合的に金属シリサイド層を形成する工程とを含むことを特徴とする請求項1ないし請求項6のいずれかに記載の半導体

装置の製造方法

【請求項8】 半導体基板上に、素子分離用絶縁膜を形成後、コレクタ、ベース、エミッタとなるそれぞれの拡散層およびそれらの電極取り出し部を形成する工程と、その後上記電極取り出し部上に自己整合的に金属シリサイド層を形成する工程とを含むことを特徴とする請求項1ないし請求項6記載のいずれかに記載の半導体装置の製造方法

【請求項9】 半導体基板上に選択的に形成された絶縁膜から露出したシリコン部分上に自己整合的に金属シリサイド層を形成して成る半導体装置において、上記金属シリサイド層とは異なる種類の金属による金属シリサイド配線層が、局部配線として上記金属シリサイド層に接続され、しかもこの金属シリサイド配線層中のS-1の量が化学量論組成とほぼ等しいことを特徴とする半導体装置

【請求項10】 半導体基板上にゲート電極およびソース・ドレイン領域を有し、上記ソース・ドレイン領域上または、上記ソース・ドレイン領域上と上記ゲート電極上とに金属シリサイド層が形成されたことを特徴とする請求項9記載の半導体装置

【請求項11】 半導体基板上にコレクタ、ベース、エミッタとなるそれぞれの拡散層およびそれらの電極取り出し部を有し、この電極取り出し部上に金属シリサイド層が形成されたことを特徴とする請求項9記載の半導体装置

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、半導体装置およびその製造方法に関し特に露出したシリコン部分上に、シリサイド層を形成するものに関する。

【0002】

【従来の技術】 近年、LSIの高集積化に伴って、配線層と拡散層との接続部のコンタクト抵抗の低減や、低抵抗のゲート、ソース、ドレイン形成のため、露出したシリコン部分上にシリサイド層を自己整合的に形成するシリサイド技術は、重要な技術の一つである。

【0003】 図5は従来のシリサイド構造の半導体装置の製造方法である。まず、P型の単結晶シリコンから成る半導体基板1（以下、基板と称す）に、素子分離用絶縁膜としての素子分離用シリコン酸化膜2を形成後、ゲート酸化膜3を例えば10～20nmの膜厚に形成し、その上にゲート電極4となるポリシリコン膜を堆積して、ゲート酸化膜3およびその上のゲート電極4をパターンニングする。続いてイオン注入法により、例えばP濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 程度の低濃度でドーピングされたn⁺拡散領域5（以下、LDD領域と称す）を、ゲート電極4下の両側の基板1に形成し、次いで、ゲート電極4側壁に絶縁膜サイドウォールとしてのシリコン酸化膜から成るサイドウォール6を例えば0.2～0.3μmの幅に形

3

成後、再びイオン注入法により、例えば、As濃度が $1 \times 10^{20} \text{ cm}^{-3}$ 程度の高濃度にドーパされた n^+ 拡散領域7（以下、ソース・ドレイン領域と称す）を、 $0.1 \mu\text{m}$ 程度の深さに形成する（図5（a））。

【0004】次に、基板1上の全面に、スパッタ法により金属膜として Co 膜8を $20 \sim 50 \text{ nm}$ の膜厚に堆積する（図5（b））。次に、ランプラニーアル法により、アニール温度を $400 \sim 500^\circ\text{C}$ 、処理時間を数十秒、 Ar または N_2 雰囲気中で、基板1に第1の熱処理を行う。これにより、 Co 膜8の Co と基板1の Si とが反応してゲート電極4およびソース・ドレイン領域7上のみ、 Co_2Si のような金属シリサイド膜9が形成される。このとき反応に使われる Si の厚さはせいぜい Co 膜8の膜厚と同程度である（図5（c））。

【0005】次に、未反応の Co 膜8を例えば、塩酸と過酸化水素水の混合液等によりエッチング除去する（図5（d））。次に、再びランプラニーアル法により、アニール温度を 650°C 以上、例えば 700°C 、処理時間を数十秒として基板1に第2の熱処理を行う。これにより、第1の熱処理で形成された Co リッチな金属シリサイド膜9が変化し、低抵抗な CoSi_2 などの金属シリサイド層10を形成する（図5（e））。その後、所定の処理を施して半導体装置を完成する。

【0006】上記の様に、第1および第2の2回の熱処理によって金属シリサイド層10を形成するが、その理由については特公平3-67334号公報に示される様に、最初から 650°C 以上の高温で熱処理を施すと、拡散領域5、7中の Si が、サイドウォール6をはい上がってゲート電極4と拡散領域5、7をのなげてショートする為である。

【0007】

【発明が解決しようとする課題】上記の様な従来の方法では、金属シリサイド層10形成のための Si は全て基板1から消費される。第1の熱処理の際、 Si の消費量は Co 膜8の膜厚（ $20 \sim 50 \text{ nm}$ ）と同程度の厚さであるが、第2の熱処理では Si の消費量が多く、また金属シリサイド層10の膜厚の変動が大きい為、図6に示すAの様に、ソース・ドレイン領域7が侵食されて薄くなり、 $0.01 \mu\text{m}$ 以下となることもあった。このため接合部での耐圧がなくなりリーク電流が増加する等接合が破壊されるという問題があった。

【0008】このような接合破壊の問題を回避する為、予め接合深さをより深く形成する事はショートチャネル効果が生じる為、望ましくない。浅い接合のまま、接合破壊を回避する方法は、従来から以下に示すものが考えられており、図7を用いて説明する。特開昭64-47050号公報に示す様に、先に示した第1の熱処理後、未反応の Co 膜8を除去し（図5（a）～図5（d）参照）、次いで、基板1上の全面にポリシリコン膜11を

4

堆積し（図7（a））、続いて再び熱処理を施すことにより、第1の熱処理で形成された Co リッチな金属シリサイド膜9が変化し、低抵抗な CoSi_2 などの金属シリサイド層12を形成する。このとき反応に使われる Si は下層の基板1と、上層のポリシリコン膜11との両方から供給される（図7（b））。その後、未反応のポリシリコン膜11をエッチングにより除去し（図7（c））、所定の処理を施して半導体装置を完成する。

【0009】この様な製造方法では、金属シリサイド層10形成のための Si は、2回目の熱処理時にポリシリコン膜11からも供給され、基板1側の Si の消費量はその分低減する。このためソース・ドレイン領域7における接合破壊の防止には効果があるものである。

【0010】しかしながら、後工程で未反応のものを除去するポリシリコン膜11を形成する為、工程が複雑となる。また、ポリシリコン膜11を除去する際に、下層の金属シリサイド層10とのエッチングの選択比が小さくオーバーエッチングになり易い等製造上の問題があった。

【0011】この発明は上記の様な問題点を解決する為になされたもので、シリサイド構造の半導体装置を、接合を破壊することなく、容易に信頼性良く製造することを目的とする。更に、配線抵抗の安定した信頼性の高い半導体装置を得ることを目的とする。

【0012】

【課題を解決するための手段】この発明に係る請求項1記載の半導体装置の製造方法は、露出したシリコン部分を含む半導体基板上の全面に金属膜を堆積する工程と、次いで第1の熱処理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイド膜を形成する工程と、次いで未反応の上記金属膜を除去する工程と、次いでシラン系ガス雰囲気において第2の熱処理を行い、上記金属リッチな金属シリサイド膜をシリコンリッチな金属シリサイド層に変成させる工程とを含むものである。

【0013】この発明に係る請求項2記載の半導体装置の製造方法は、第2の熱処理を、第1の熱処理よりも高い温度で、かつ半導体基板に形成された絶縁膜上にポリシリコン膜が形成されない温度で行うものである。

【0014】この発明に係る請求項3記載の半導体装置の製造方法は、第2の熱処理を、シラン系ガス雰囲気塩素を含むガスを導入して行うものである。

【0015】この発明に係る請求項4記載の半導体装置の製造方法は、第2の熱処理の後、更に第3の熱処理を、第2の熱処理よりも高温で短時間行い、金属シリサイド層を更に低抵抗化させるものである。

【0016】この発明に係る請求項5記載の半導体装置の製造方法は、露出したシリコン部分を含む半導体基板上の全面に金属膜を堆積する工程と、次いで第1の熱処

理を行い、上記露出したシリコン部分上に上記金属膜を反応させた金属リッチな金属シリサイド膜を形成する工程と、次いで夫反り上記金属膜を除去する工程と、次いで全面に上記金属膜とは異なる種類の金属によるシリコンリッチな第2の金属シリサイド膜を形成する工程と、次いで第2の熱処理を行い上記金属リッチな金属シリサイド膜をシリコンリッチな金属シリサイド層に変化する工程と、次いで不要な第2の金属シリサイド膜を除去する工程とを含むものである。

【0017】この発明に係る請求項6記載の半導体装置の製造方法は、第2の熱処理後、第2の金属シリサイド膜をパターンニングして金属シリサイド配線層を形成する工程を含むものである。

【0018】この発明に係る請求項7記載の半導体装置の製造方法は、半導体基板上に、素子分離用絶縁層、ゲート酸化膜、ゲート電極、LDD領域、絶縁層サイドウォールおよびソース・ドレイン領域を順次形成する工程と、その後上記ソース・ドレイン領域上または、上記ソース・ドレイン領域上とゲート電極上とに自己整合的に金属シリサイド層を形成する工程とを含むものである。

【0019】この発明に係る請求項8記載の半導体装置の製造方法は、半導体基板上に、素子分離用絶縁層を形成後、コレクタ、ベース、エミッタとなるそれぞれの拡散層およびそれらの電極取り出し部を形成する工程と、その後上記電極取り出し部上に自己整合的に金属シリサイド層を形成する工程とを含むものである。

【0020】この発明に係る請求項9記載の半導体装置は、金属シリサイド層とは異なる種類の金属による金属シリサイド配線層が、局部配線として上記金属シリサイド層に接続され、しかもこの金属シリサイド配線層中のS1の量が化学量論組成とほぼ等しいものである。

【0021】この発明に係る請求項10記載の半導体装置は、ソース・ドレイン領域上、または、上記ソース・ドレイン領域上とゲート電極上とに金属シリサイド層が形成されたものである。

【0022】この発明に係る請求項11記載の半導体装置は、半導体基板上にコレクタ、ベース、エミッタとなるそれぞれの拡散層およびそれらの電極取り出し部を有し、この電極取り出し部上に金属シリサイド層が形成されたものである。

【0023】

【作用】上記の様にこの発明によると、第1の熱処理を行って金属リッチな金属シリサイド膜を形成し、未反応の金属膜を除去した後、第2の熱処理をシリコン系ガス雰囲気で行う。この第2の熱処理により上記金属リッチな金属シリサイド膜がシリコンリッチな金属シリサイド層に変化するが、その反応に消費されるS1は、金属シリサイド膜下層の基板からだけでなくシリコン系ガスからも供給される。このためS1の消費による基板の侵食が低減し接合破壊が防止される。また、第2の熱処理前後に

障の形成や除去等の複雑な工程を必要とせず容易に信頼性良く、自己整合的に金属シリサイド層が形成できる。

【0024】また、第2の熱処理を、第1の熱処理よりも高い温度で、かつ絶縁膜上にシリコン膜が形成されない温度で行うため、シリコン系ガス雰囲気での熱処理であっても、絶縁膜上にシリコン膜が形成されて絶縁性を劣化させたりすることなく、シリコン系ガスは金属シリサイド膜上のみで反応し、自己整合的に金属シリサイド層を形成する。

【0025】また、第2の熱処理を、シリコン系ガス雰囲気に塩素を含むガスを導入して行うため、塩素の働きにより絶縁膜上にシリコン膜が形成されるのを防止し、熱処理条件等のプロセスのコントロールが広がり信頼性が向上する。

【0026】また、第2の熱処理の後、さらに第3の熱処理を行うことにより、金属シリサイド層を更に低抵抗で安定なものにする。この第3の熱処理では、第2の熱処理のよきにより、シリコン膜形成の可能性がないため、高温で短時間の処理で十分効果がある。

【0027】さらに、この発明によると、第1の熱処理を行って金属リッチな金属シリサイド膜を形成し、未反応の金属膜を除去した後、全面に、上記金属膜とは異なる種類の金属によるシリコンリッチな第2の金属シリサイド膜を形成して第2の熱処理を行う。この第2の熱処理により上記金属リッチな金属シリサイド膜がシリコンリッチな金属シリサイド層に変化するが、その反応に消費されるS1は、金属シリサイド膜下層の基板からだけでなく、上層の第2の金属シリサイド膜からも供給される。このためS1の消費による基板の侵食が低減し接合破壊が防止される。また反応に用いられた第2の金属シリサイド膜は、後工程で除去する際、下地の金属シリサイド層とのエッチング選択比が大きいので、オーバーエッチング等の問題がなく製造工程が容易で信頼性が向上する。

【0028】また、第2の熱処理の反応に用いられた第2の金属シリサイド膜を、パターンニングして金属シリサイド配線層として用いるため、製造工程が簡便で容易であるとともに、第2の金属シリサイド膜は第2の熱処理の際にS1を供給しているために化学量論組成を越える余分なS1がほとんどなく、金属シリサイド配線層中のS1析出の発生が防止され、配線の信頼性が向上する。

【0029】さらにまた、この発明による金属シリサイド層形成の方法をMOS型半導体装置に適用するため、シリサイド構造のMOS型半導体装置の接合破壊を防止して、容易に信頼性良く製造できる。

【0030】また、この発明による金属シリサイド層形成の方法をBip型半導体装置に適用するため、シリサイド構造のBip型半導体装置の接合破壊を防止して、容易に信頼性良く製造できる。

【0031】また、この発明によると、局部配線として

形成された金属シリサイド配線層中シリシの量が化学量論組成とほぼ等しいため、金属シリサイド配線層中に十分なシリシがないシリシ析出の発生が防止されて配線抵抗の安定した信頼性の高い半導体装置が得られる。

【0032】また、この発明による金属シリサイド配線層を、シリサイド構造のMOS型半導体装置に適用するため、金属シリサイド配線層中のシリシ析出が防止され、配線抵抗の安定した信頼性の高い、シリサイド構造のMOS型半導体装置が得られる。

【0033】また、この発明による金属シリサイド配線層を、シリサイド構造のBip型半導体装置に適用するため、金属シリサイド配線層中のシリシ析出が防止され、配線抵抗の安定した信頼性の高い、シリサイド構造のBip型半導体装置が得られる。

【0034】

【実施例】

実施例1、以下、この発明の実施例を図について説明する。なお、従来の技術と重複する箇所は適宜その説明を省略する。図1は、この発明の実施例1による半導体装置の製造方法を示す断面図である。まず、従来のものと同様に、基板1に素子分離用シリコン酸化膜2を形成後、ゲート酸化膜3、ゲート電極4、LDD領域5、サイドウォール6およびソース・ドレイン領域7を順次形成し、その後、全面にC膜8を堆積後、従来のものと同様に第1の熱処理を施してC膜8からなる金属シリサイド膜9を形成し、未反応のC膜8を除去する（図5（a）～図5（d）参照）。

【0035】次に、ラングアール法により、基板1に第2の熱処理をシラン系ガス雰囲気としてのシリシ₄雰囲気13中で行う。処理条件は、アール温度を560～600℃、シリシ₄流量を数百sccm（例えば200sccm）、Ar流量を数slm（例えば4slm）、圧力を数～数十Torr（例えば5Torr）、処理時間を約1時間に設定する（図1（a））。これにより、第1の熱処理で形成されたC膜8からなる金属シリサイド膜9が変化し、低抵抗なC膜8とシリシ₂などのシリシ₂系金属シリサイド層14をゲート電極4およびソース・ドレイン領域7上に形成する（図1（b））。その後、所定の処理を施して半導体装置を完成する。

【0036】上記実施例1では第2の熱処理をシリシ₄雰囲気13中で行うため、シリサイド層14形成に必要なシリシは、下層の基板1からだけでなく、シリシ₄ガスからも供給される。例えば、「吸着」慶伊富長著、共立全書p58～に示す様に、金属、特に遷移金属表面には、一般に触媒作用があり、すなわち、気体分子を化学吸着し、分子を分解する作用がある。このため、上記実施例1の第2の熱処理において、C膜8からなる金属シリサイド膜9上でシリシ₄は吸着し、かつ分解し易く、従って金属シリサイド膜9はシリシとともに反応する。一方、シリコン酸化膜2およびサイドウォール6上では、金属

表面のような触媒作用はないが、650℃程度以上となるとこれらの表面にポリシリコン膜が形成され易く、絶縁性が劣化するため、ポリシリコン膜が形成されない低温で、金属シリサイド層14の低抵抗値が減少して安定にするのに十分な時間（1時間程度）、熱処理を行う。

【0037】この第2の熱処理において、金属シリサイド層14形成のためのシリシ消費量は、基板1とシリシ₄ガスとではほぼ同量であり、例えば、形成時のC膜8の膜厚を約20nmとすると、基板1から約25nmの厚さでシリシが消費される。前工程の第1の熱処理での基板1のシリシ消費量はC膜8の膜厚と同程度であるため、基板1の侵食は45nm程度となり約0.1μmの深さに形成されたソース・ドレイン領域7での接合は破壊されない。このとき金属シリサイド層14は約70nmの厚さとなる。この様に、第2の熱処理をシリシ₄雰囲気13中で行うため、C膜8からなる金属シリサイド膜9からシリコン膜で低抵抗な金属シリサイド層14への反応に必要なシリシは、シリシ₄ガスと基板1との双方から供給され、基板1のシリシ消費量は低減され、接合破壊は防止される。

【0038】また、ポリシリコン膜11を金属シリサイド膜9上に形成し第2の熱処理を行い、更に後反応のポリシリコン膜11を除去する。従来の接合破壊回避方法の様な複雑な工程を含まず、容易に信頼性良のシリサイド構造の半導体装置を得ることが出来る。

【0039】なお、上記実施例1では金属シリサイド層14形成の第2回の熱処理を施したが、シリシ₄雰囲気13中の第2の熱処理の後、続いてArまたはN₂雰囲気中で650℃以上（例えば700℃）で数十秒のラングアール法による第3の熱処理を施しても良い。これにより、金属シリサイド層14の抵抗値は更に減少して安定化する。この第3の熱処理では、ポリシリコン膜形成等の問題がないため、第2の熱処理よりも高温に短時間で処理できる。

【0040】また、上記実施例1では第2の熱処理にシリシ₄ガスを用いたが、シリシ₂He等の高次シランや、シリシ₂Cl₂、シリシ₂HF₃等シリコンと水素又はシリコンと水素との化合物ガス、又はこれらの混合ガス、例えばシリシ₄とシリシ₂Cl₂との混合ガスでも同様の効果が得られる。さらに、上記の様なシラン系ガスにシランの数%の量の塩素を含むガスを混合させても良い。シリコン酸化膜2やサイドウォール6上に塩素が付着することにより、これらの上にポリシリコン膜が形成されるのを防止するため、温度や圧力等のプロセスマージンが広がり、プロセスの信頼性が向上する。

【0041】また、上記実施例1では、金属膜としてC膜8の例を示したが、その他、Ni、Pt、W、Mo、Ti、Ta等の遷移金属、または、これらを組み合わせた合金や積層膜であっても良い。

【0042】実施例2、次に、この発明の実施例2によ

る半導体装置の製造方法を図2に基づいて以下に示す。まず、上記従来のものおよび実施例1のものと同様に、LDD構造のnMOSトランジスタを形成後、全面にC₆₀膜8を堆積して第1の熱処理を施し、C₆₀リッチな金属シリサイド膜9を形成後、未反応のC₆₀膜8を除去する(図5(a)～図5(d)参照)。

【0043】次に、基板1上の全面に、例えばCVD法によりC₆₀膜8とは異なる金属の第2の金属シリサイド膜としてT₁シリサイド膜15を0.03～0.1 μ m程度の膜厚に形成する。このとき用いるT₁シリサイド膜15はアモルファス状態で、T₁原子1に対してS₁原子1～3とのS₁リッチな組成とする(図2(a))。次に、ラジエール法により、ラジエール温度を650℃以上、例えば900℃、処理時間数十秒で、基板1に第2の熱処理を施す。これによりC₆₀リッチな金属シリサイド膜9は、上層のS₁リッチなT₁シリサイド膜15と下層の基板1との双方からS₁の供給を受けて変化した、C₆₀S₁₂などの低抵抗でS₁リッチな金属シリサイド層16をゲート電極4およびソース・ドレイン領域7上に形成する。このときT₁シリサイド膜15はアモルファス状態から反応を進め低抵抗なT₁S₁₂となる(図2(b))。次にT₁シリサイド膜15をパターンニングして金属シリサイド配線層としてT₁S₁₂配線層15aを形成する(図2(c))。その後、所定の処理を施して半導体装置を得る。

【0044】この第2の熱処理において、金属シリサイド層16形成のためのS₁消費量は下層の基板1と上層のT₁シリサイド膜15とではほぼ同量であり、上記実施例1と同様に、基板1の侵食による接合破壊は防止される。またT₁シリサイド膜15は低抵抗なT₁S₁₂となりT₁S₁₂配線層15aに用いることができるという利便性がある。ところで、通常CVD法やスパッタ法で金属シリサイド配線層を形成する場合、膜のストレスによるはかれを防止するため、膜中に化学量論組成を越えるS₁を含むように形成する。これにより、その後の熱処理等で膜中にS₁析出の発生を生じさせた。これに対し上記実施例2におけるT₁S₁₂配線層15aは金属シリサイド層16形成の為にS₁を供給したために化学量論組成を越える余分なS₁がほとんどなく、配線層中にS₁析出が生じて配線抵抗が上昇する等の問題が防止される。

【0045】なお、上記実施例2のT₁S₁₂配線層15aのように、金属シリサイド配線層を、配線層中のS₁の量が化学量論組成とほぼ等しいように構成すれば、上記の様な形成方法に限るものではなく、配線層中のS₁析出の発生が防止された半導体装置が得られる。

【0046】なお、上記実施例2では、第2の熱処理後にT₁シリサイド膜15をパターンニングしてT₁S₁₂配線層15aを形成したが、全面エッチングにより除去しても良い。従来ポリシリコン膜11を用いる接合破

壊回避方法に比べ、T₁シリサイド膜を除去する際、下地の金属シリサイド層16とは金属の種類が異なるためエッチングの選択比が大きい。例えば塩素系エッチング液を用いた場合、T₁S₁₂とポリシリコンとでは選択比が最高1.5程度であるのに対しT₁S₁₂とC₆₀S₁₂とでは選択比が最高2.0程度である。このためエッチング等の問題が無く信頼性が向上する。

【0047】また、上記実施例2では、C₆₀のシリサイド膜9上にT₁シリサイド膜15を形成したが、C₆₀やT₁の金属に限らず、2ndのシリサイド膜9、15の金属の種類が異なるものであれば良く、双方共、他のN、P、Cu、W、Mo、Ti、Ta、Cr等の遷移金属やこれらの複数の組み合わせから成る合金や積層膜のシリサイドが適用できる。

【0048】実施例3、上記実施例1および実施例2では、nMOSトランジスタのゲート電極4およびソース・ドレイン領域7がシリサイド構造のものを示したが、pMOSトランジスタにおいても同様に適用できるのは言うまでもなく、またソース・ドレイン領域7のみをシリサイド構造としても良い。図3に基づいて以下に示す。まず、P型基板1に素子分離用シリコン酸化膜2を形成後、基板1上の全面にゲート酸化膜3、ゲート電極4となるポリシリコン膜、例えばT₁S₁₂等の金属シリサイド膜17およびシリコン酸化膜18を順次形成する。次に、ゲート酸化膜3、ゲート電極4、電極シリサイド膜17およびシリコン酸化膜18をパターンニングした後、イオン注入法によりLDD領域5を形成する。次いでシリコン酸化膜から成るサイドウォール6を形成後、再びイオン注入法によりソース・ドレイン領域7を形成する(図3(a))。

【0049】この後、上記実施例2に従って、ソース・ドレイン領域7のみをシリサイド構造にする。まず、基板1上の全面にC₆₀膜8を堆積し(図3(b))、第1の熱処理を施してC₆₀リッチな金属シリサイド膜9をソース・ドレイン領域7上に形成し(図3(c))、その後未反応のC₆₀膜8を除去する(図3(d))。次に、基板1上の全面にS₁リッチなT₁シリサイド膜15を形成し(図3(e))、第2の熱処理を施してC₆₀リッチな金属シリサイド膜9をS₁リッチな金属シリサイド層16に変成させ、同時にT₁シリサイド膜15を低抵抗なT₁S₁₂とする(図3(f))。この後必要に応じてT₁シリサイド膜をパターンニングしてT₁S₁₂配線層15aを形成し(図3(g))、所定の処理を施して半導体装置を得る。

【0050】なお、上記実施例3では、ゲート電極4上には金属シリサイド膜17を介してシリコン酸化膜18が形成されているため、金属膜が露出されておらず、ソース・ドレイン領域7上にはのみ自己整合的に金属シリサイド層16が形成され、ゲート電極4の絶縁性の高い半導体装置が得られる。金属シリサイド層16形成に関し

では、上記実施例2と全く同様の効果が得られる。

【0051】また、上記実施例3では、ソース・ドレイン領域7をサリサイド構造とするのに上記実施例2の方法に従ったが、上記実施例1の方法に従って、第1の熱処理後未反応のC₆₀膜8を除去し、シラン系ガス雰囲気において第2の熱処理を施しても良い。この場合も、上記実施例1と同様の効果がある。

【0052】実施例4、次に、上記実施例2のサリサイド構造の形成方法をバイポーラトランジスタに適用した例を、図4に基づいて以下に示す。まず、公知の方法により図4(a)に示すバイポーラトランジスタを形成する。図において、1はP型基板、2は素子分離用シリコン酸化膜、19はコレクタとなるn⁺拡散層、19aはコレクタ電極取り出し部、20はn⁺拡散層、21はベースとなるP⁺拡散層、22はベース21の電極取り出し部としての電極取り出し層となるP⁺拡散層、23はエミッタとなるn⁺拡散層、24はエミッタ電極取り出し部としてのエミッタ電極である。各々の拡散層の組成と濃度は、イオン注入により形成されたものについては、コレクタ19が $1.0^{18} \sim 1.0^{19} \text{ cm}^{-3}$ のAs、n⁺拡散層20が $1.0^{15} \sim 1.0^{16} \text{ cm}^{-3}$ のAs、ベース21は $1.0^{17} \sim 1.0^{18} \text{ cm}^{-3}$ のB、ベース電極取り出し層22は $1.0^{18} \sim 1.0^{19} \text{ cm}^{-3}$ のBである。また、エミッタ23はエミッタ電極24をポリシリコンで形成し、そこから不純物拡散により形成する。

【0053】次に、上記実施例2と同様の方法で、コレクタ電極取り出し部19a、ベース電極取り出し層22およびエミッタ電極24の上に自己整合的にサリサイド層を形成するサリサイド工程を説明する。まず、図4(a)に示すバイポーラトランジスタが形成された基板1上の全面にC₆₀膜8を堆積し(図4(b))、第1の熱処理を施してC₆₀リッチな金属シリサイド膜9をコレクタ電極取り出し部19a、ベース電極取り出し層22、およびエミッタ電極24上に形成し(図4(c))、その後未反応のC₆₀膜8を除去する(図4(d))。次に、基板1上の全面にSiリッチなTiシリサイド膜15を形成し(図4(e))、第2の熱処理を施してC₆₀リッチな金属シリサイド膜9をSiリッチな金属シリサイド層16に変成させ、同時にTiシリサイド膜15を低抵抗なTiSi₂とする(図4(f))。この後、必要に応じてTiシリサイド膜15をパターンニングしてTiSi₂配線層15aを形成し(図4(g))、所定の処理を施して半導体装置を得る。

【0054】なお、上記実施例4では、サリサイド工程を上記実施例2の方法に従って行ったが、上記実施例1の方法に従って行っても良い。また、上記実施例4ではnpnトランジスタについて示したが、もちろんpnpトランジスタについても同様に適用できる。

【0055】

【発明の効果】以上の様に、この発明によれば、第2の熱処理をシラン系ガス雰囲気で行うために、基板の侵食を低減して接合破壊の防止された信頼性の高いサリサイド構造の半導体装置が得られる。また複雑な工程を含まずサリサイド構造の半導体装置の製造が容易で簡略となる。

【0056】また、ポリシリコン膜が絶縁膜上に形成されない温度で第2の熱処理を行うため、絶縁膜の絶縁性を劣化させることなく、信頼性の高いサリサイド構造の半導体装置が得られる。

【0057】また、シラン系ガス雰囲気に変素を含むガスを導入するため、絶縁膜上にポリシリコン膜が形成されるのを防止し、信頼性が向上する。

【0058】また、第2の熱処理後更に第3の熱処理を行うことにより、金属シリサイド層を更に低抵抗で安定なものにする。

【0059】また、この発明によれば、全面に第2の金属シリサイド膜を形成後第2の熱処理を行い、その後不要な第2の金属シリサイド膜を除去するため、基板の侵食を低減して接合破壊の防止された信頼性の高いサリサイド構造の半導体装置が得られる。また第2の金属シリサイド膜をエッチング除去する際、オーバーエッチング等問題がなく容易に除去できるため、サリサイド構造の半導体装置の製造が容易で信頼性が向上する。

【0060】また、第2の金属シリサイド膜を金属シリサイド配線層に利用するため、製造が簡便で容易である。さらにSi析出の発生が防止された信頼性の高い金属シリサイド配線層が得られる。

【0061】さらに、この発明によればサリサイド構造のMOS型半導体装置およびBip型半導体装置のいずれについても、接合破壊を防止して容易に信頼性の高い装置を製造できる。

【0062】また、この発明によれば、金属シリサイド配線層を、配線層中のSiの量が化学量論組成とほぼ等しくなるように構成したため、金属シリサイド配線層中のSi析出の発生が防止されて配線抵抗の安定した信頼性の高いサリサイド構造の半導体装置が得られる。

【0063】さらに、この発明によれば、サリサイド構造のMOS型半導体装置およびBip型半導体装置のいずれについても、金属シリサイド配線層中のSi析出の発生が防止されて配線抵抗の安定した信頼性の高いものが得られる。

【図面の簡単な説明】

【図1】 この発明の実施例1による半導体装置およびその製造方法を示す断面図である。

【図2】 この発明の実施例2による半導体装置およびその製造方法を示す断面図である。

【図3】 この発明の実施例3による半導体装置およびその製造方法を示す断面図である。

【図4】 この発明の実施例4による半導体装置および

13

その製造方法を示す断面図である。

【図5】 従来の半導体装置の製造方法を示す断面図である。

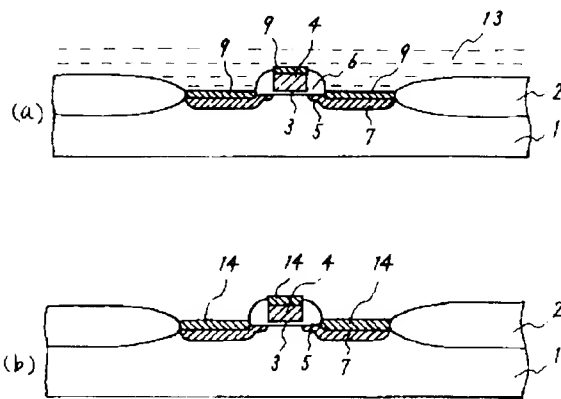
【図6】 従来の半導体装置の製造方法の問題点を説明する断面図である。

【図7】 従来の別例による半導体装置の製造方法を示す断面図である。

【符号の説明】

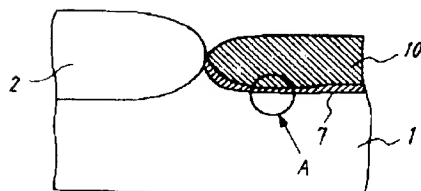
1 半導体基板、2 素子分離用絶縁膜としての素子分離用シリコン酸化膜、3 ゲート酸化膜、4 ゲート電極、5 LDD領域、6 絶縁膜サイドウォールとして

【図1】



- 1: 半導体基板
- 2: 素子分離用シリコン酸化膜
- 3: ゲート酸化膜
- 4: ゲート電極
- 5: LDD領域
- 6: サイドウォール
- 7: ソース・ドレイン領域
- 9: 金属シリサイド膜
- 13: SiH_4 雰囲気
- 14: 金属シリサイド層

【図6】

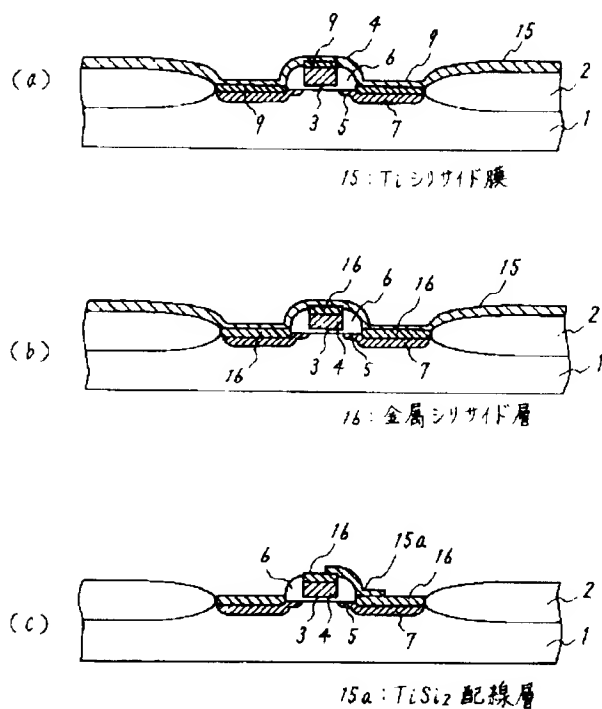


14

のサイドウォール、7 ソース・ドレイン領域、8 金属膜としてのC膜、9 金属シリサイド膜、13 シラン系ガス雰囲気としての SiH_4 雰囲気、14 金属シリサイド層、15 第2の金属シリサイド膜としてのTiシリサイド膜、15a 金属シリサイド配線層としての TiSi_2 配線層、16 金属シリサイド層、19

コレクタ、19a コレクタ電極取り出し部、21 ベース、22 ベース電極取り出し部としてのベース電極取り出し層、23 エミッタ、24 エミッタ電極取り出し部としてのエミッタ電極。

【図2】

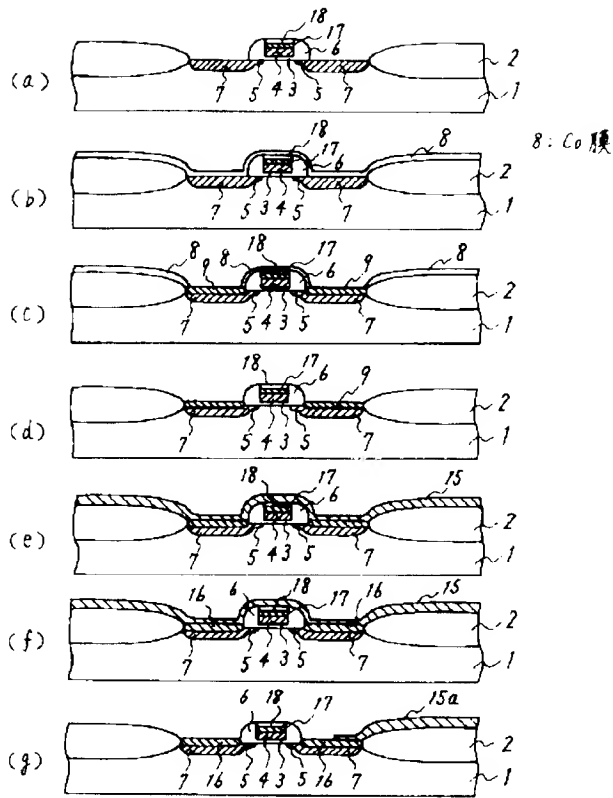


15: Tiシリサイド膜

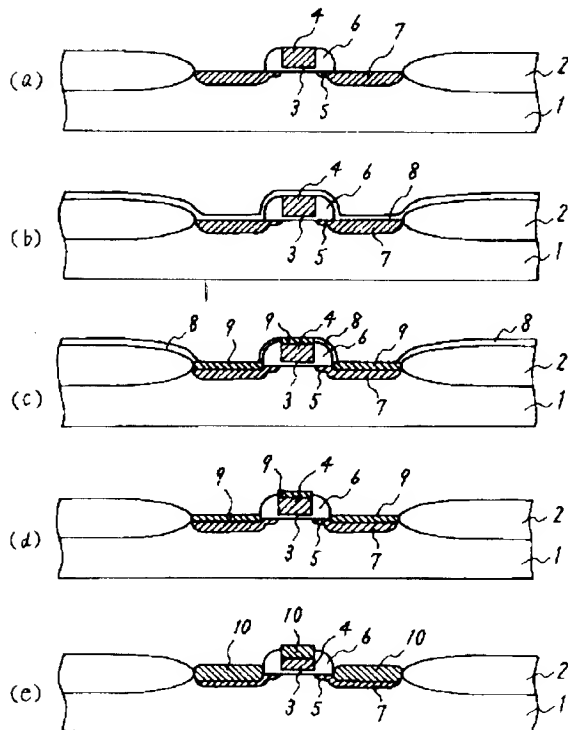
16: 金属シリサイド層

15a: TiSi_2 配線層

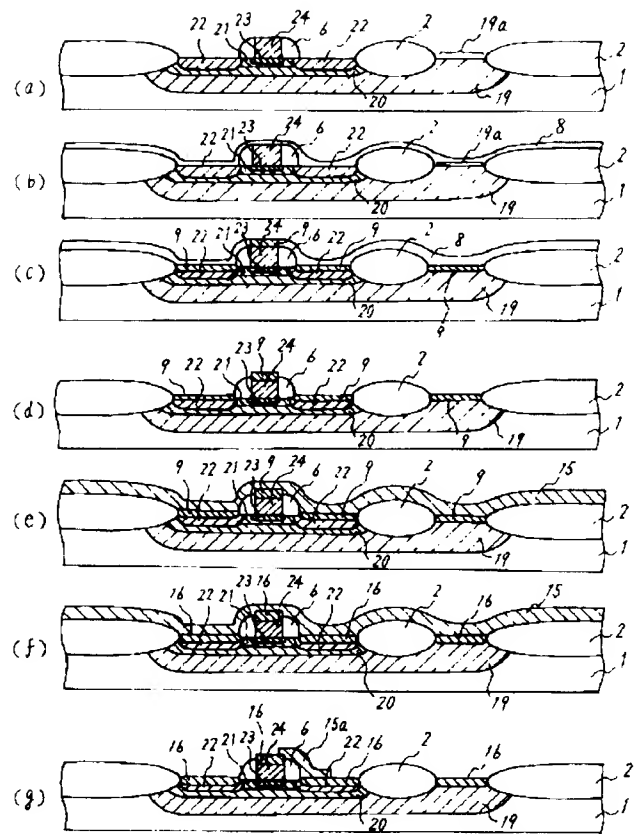
【図3】



【図5】

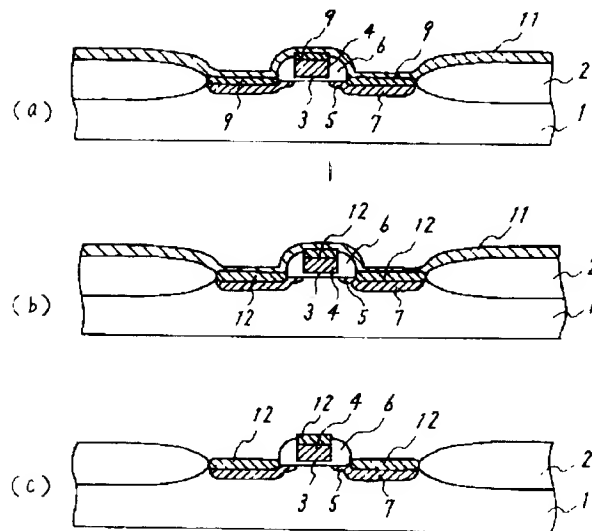


【図4】



19:コレクタ
19a:コレクタ電極取り出し部
21:ベース
22:ベース電極取り出し層
23:エミッタ
24:エミッタ電極

【図7】



フロントページの続き

(51) Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H O 1 L 29/78

21/336